

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/005122

International filing date: 22 March 2005 (22.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-087012  
Filing date: 24 March 2004 (24.03.2004)

Date of receipt at the International Bureau: 28 April 2005 (28.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 4 年 3 月 2 4 日

出 願 番 号  
Application Number: 特 願 2 0 0 4 - 0 8 7 0 1 2

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

J P 2 0 0 4 - 0 8 7 0 1 2

出 願 人  
Applicant(s): ローム株式会社

2 0 0 5 年 4 月 1 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 PR03-00101  
【提出日】 平成16年 3月24日  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 H05B 33/26  
【発明者】  
    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内  
    【氏名】 前出 淳  
【発明者】  
    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内  
    【氏名】 矢熊 宏司  
【発明者】  
    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内  
    【氏名】 阿部 真一  
【発明者】  
    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内  
    【氏名】 藤川 昭夫  
【特許出願人】  
    【識別番号】 000116024  
    【氏名又は名称】 ローム株式会社  
    【代表者】 佐藤 研一郎  
【代理人】  
    【識別番号】 100079555  
    【弁理士】  
    【氏名又は名称】 梶山 侑是  
    【電話番号】 03-5330-4649  
【選任した代理人】  
    【識別番号】 100079957  
    【弁理士】  
    【氏名又は名称】 山本 富士男  
    【電話番号】 03-5330-4649  
【手数料の表示】  
    【予納台帳番号】 061207  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9711313

【書類名】 特許請求の範囲

【請求項 1】

デジタル値の表示データを D/A 変換して有機 EL 素子を電流駆動するための駆動電流あるいはその基礎となる電流を生成し、水平 1 ラインの走査期間に相当する表示期間と前記水平 1 ラインの帰線期間に相当するリセット期間とを切り分けるための第 1 のタイミングコントロール信号に応じて前記表示期間に有機 EL パネルの端子ピンを介して前記有機 EL 素子に前記駆動電流を送出し、前記リセット期間に前記有機 EL 素子の端子電圧のリセットをする有機 EL 駆動回路において、

スイッチ回路と、補正データ生成回路と、リセットパルス発生回路とを備え、

前記スイッチ回路は、前記リセットをするためにリセットパルスを受けて前記端子ピンを所定のバイアスラインに接続し、

前記補正データ生成回路は、前記有機 EL 素子の輝度を補正するために前記表示データを受けて前記表示データに応じて前記有機 EL 素子の発光期間を補正するための補正データを生成し、そして、

前記リセットパルス発生回路は、前記第 1 のタイミングコントロール信号と前記補正データとを受けて補正に応じた前記リセットパルスを発生する有機 EL 駆動回路。

【請求項 2】

補正データ生成回路は、前記表示データを前記補正データに変換するデータ変換回路である請求項 1 記載の有機 EL 駆動回路。

【請求項 3】

前記リセットパルス発生回路は、前記補正データに応じた数、クロックをカウントするカウンタを有し、このカウンタの出力に応じて前記第 1 のタイミングコントロール信号の前縁あるいは後縁を所定量遅延させた前記リセットパルスを発生させる請求項 2 記載の有機 EL 駆動回路。

【請求項 4】

前記リセットパルス発生回路は、前記第 1 のタイミングコントロール信号を受けて所定時間順次遅延させた複数の第 2 のタイミングコントロール信号を発生する遅延回路を有し、前記複数の第 2 のタイミングコントロール信号と前記第 1 のタイミングコントロール信号と前記補正データとを受けて前記補正データに応じて前記複数の第 2 のタイミングコントロール信号の 1 つを選択して選択した前記第 2 のタイミングコントロール信号の前縁を前縁とし、後縁を前記第 1 のタイミングコントロール信号とした前記リセットパルスを発生する請求項 2 記載の有機 EL 駆動回路。

【請求項 5】

さらに、前記端子ピンに対応するようにそれぞれ設けられた、前記駆動電流を発生する電流源を有し、前記 D/A 変換回路は、基準電流あるいはこの基準電流に基づいて発生させた電流に応じて前記表示データを D/A 変換し、D/A 変換して得られた電流に応じて前記電流源を駆動する請求項 3 または 4 記載の有機 EL 駆動回路。

【請求項 6】

請求項 1 ～ 5 のいずれかの請求項記載の有機 EL 駆動回路を有する有機 EL 表示装置。

【請求項 7】

前記有機 EL 駆動回路が IC として設けられている請求項 6 記載の有機 EL 表示装置。

【書類名】 明細書

【発明の名称】 有機EL駆動回路およびこれを用いる有機EL表示装置

【技術分野】

【0001】

この発明は、有機EL駆動回路およびこれを用いる有機EL表示装置に関し、詳しくは、携帯電話機、PHS等の表示装置を有する電子機器において、端子ピン対応に設けられる $\gamma$ 補正回路の占有面積を抑えることが可能な有機EL駆動回路に関する。

【背景技術】

【0002】

携帯電話機、PHS、DVDプレーヤ、PDA（携帯端末装置）等に搭載される有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個（132×3）の端子ピン、ローラインが162個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。有機EL表示パネルの各有機EL素子（以下OEL素子）は、ブラウン管と同様に表示データの値に対して輝度が直線的な関係ははなく、R、G、Bの材料による素子特性に応じた曲線になる。そこで、有機EL表示装置を使用する周囲の環境が変わると画質が変化し、有機EL表示パネルが高解像度になればなるほど、この画質の変化が目立ってくる。そのために $\gamma$ 補正をすることが必要になる。

なお、この $\gamma$ 補正としては、カラムラインの端子ピンへ駆動電流を出力する出力回路（出力段電流源）の負荷抵抗を直列抵抗回路として、抵抗選択により $\gamma$ 補正をする発明を出願人は出願している（特許文献1）。

【特許文献1】 特開2003-288051号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

特開2003-288051号（特許文献1）の発明の実施例は、カラム側の端子ピンに対応するようにそれぞれD/Aと出力段電流源とを設けて、表示データをD/A変換し、D/A変換して得られた電流に応じて出力段電流源を駆動して端子ピンに有機EL素子の駆動電流を出力している。

通常、 $\gamma$ 補正をする場合には、ドライバ等でソフトウェア処理により前記のD/Aに設定する表示データを $\gamma$ 補正に対応する補正をすることが考えられるが、4ビット～6ビット程度のD/Aでは、 $\gamma$ 補正ができない問題がある。そのため、特開2003-288051号では、出力段電流源に $\gamma$ 補正回路をピン対応に設けている。

しかし、出力段電流源の負荷抵抗を直列抵抗回路とする $\gamma$ 補正回路では、負荷抵抗値を選択するための抵抗とスイッチ回路が多くなる。この負荷抵抗による $\gamma$ 補正回路は、消費電力の低減という点からみるとそれに逆行するので、負荷抵抗による $\gamma$ 補正はせずに電流駆動回路の占有面積を抑える別の $\gamma$ 補正回路が要請される。

この発明の目的は、このような要請に応えるものであって、端子ピン対応に設けられる $\gamma$ 補正回路の占有面積を抑えることが可能な有機EL駆動回路および有機EL表示装置を提供することにある。

【課題を解決するための手段】

【0004】

このような目的を達成するためのこの発明の有機EL駆動回路およびこれを用いる有機EL表示装置の構成は、デジタル値の表示データをD/A変換してOEL素子を電流駆動するための駆動電流あるいはその基礎となる電流を生成し、水平1ラインの走査期間に相当する表示期間と水平1ラインの帰線期間に相当するリセット期間とを切り分けるための第1のタイミングコントロール信号に応じて表示期間に有機ELパネルの端子ピンを介してOEL素子に駆動電流を送出し、リセット期間にOEL素子の端子電圧のリセットをする有機EL駆動回路において、

リセットをするためにリセットパルスを受けて端子ピンを所定のバイアスラインに接続

するスイッチ回路と、O E L素子の輝度を $\gamma$ 補正するために表示データを受けて表示データに応じてO E L素子の発光期間を補正するための補正データを生成する補正データ生成回路と、第1のタイミングコントロール信号と補正データとを受けて $\gamma$ 補正に応じたりセットパルスが発生するリセットパルス発生回路とを備えるものである。

#### 【発明の効果】

##### 【0005】

ところで、O E L素子は、その端子を所定の定電圧にプリチャージする定電圧リセットが行われるので、有機E L駆動回路の各カラムピン対応に加えられるO E L素子に対する電流駆動波形は、図6（g）に示すように、所定の定電圧からスタートするピーク電流波形（実線）となる。なお、図6（g）の点線は、電圧波形である。

定電圧リセットは、水平走査の帰線期間に相当するリセット期間R Tに行われ、このときの表示期間Dは、水平1ラインの水平走査期間に相当する。そこで、表示期間Dとリセット期間R Tの切り分けが表示期間D＋リセット期間R Tに対応する周期（水平走査周波数相当）のタイミングコントロールパルスT P（図6（j）参照）により行われる。なお、図6は、各端子ピンに流す電流駆動波形とこれを発生するタイミング信号の説明図である。

これについて説明すると、図6（a）は、各制御信号のタイミングの基本となる同期クロックC L Kであり、図6（b）は、ピクセルカウンタのカウントスタートパルスC S T Pであり、ピクセルカウンタのカウント値が図6（c）に示されている。図6（d）は、表示開始パルスD S T Pであり、図6（e）がR（赤）についてのリセットパルスR S Rである。

このリセットパルスR S Rは、表示期間とリセット期間の切り分けの基準タイミングを発生するタイミングコントロールパルスT Pにより生成される。このことは、G（緑）、B（青）のリセットパルスについての同様である。

##### 【0006】

そこで、この発明は、各カラムピン対応にリセットパルスが発生して、次のリセット期間の開始タイミングを $\gamma$ 補正に対応して補正することで、現在の表示期間Dの長さを制御する。これによりO E L素子の発光期間を補正することでO E L素子の表示期間における全体的な発光輝度を $\gamma$ 補正する。

そこで、この発明の $\gamma$ 補正回路は、リセット期間の制御回路として設けられる。その結果、タイミング制御により $\gamma$ 補正が可能になるので、 $\gamma$ 補正回路の占有面積を抑えることができる。

また、前記した補正データ生成回路をデータ変換R O Mにすれば、 $\gamma$ 補正值の選択も単にデータ変換R O Mに記憶すればよく、しかも、データ変換R O Mは、各カラムピンに個別に設ける必要はないので、その分、 $\gamma$ 補正回路の占有面積を抑えることが可能になる。

#### 【発明を実施するための最良の形態】

##### 【0007】

図1は、この発明の有機E L駆動回路を適用した一実施例の有機E Lパネルのカラムドライバを中心とするブロック図、図2は、出力段電流源に設けられた $\gamma$ 補正リセットパルス発生回路の説明図、図3は、他の $\gamma$ 補正リセットパルス発生回路の説明図、図4は、図3における $\gamma$ 補正リセットパルス発生回路のリセットパルス発生タイミングの説明図、図5は、データ変換回路（R O M）に設定される $\gamma$ 補正データについての説明図、そして、図6は、カラムピンを電流駆動する電流波形とこれを発生するタイミング信号の説明図である。

図1において、10は、有機E Lパネルにおける有機E L駆動回路としてのカラムI Cドライバ（以下カラムドライバ）である。このカラムドライバ10は、基準電流発生回路1と、R（赤）に対応して設けられたR－基準電流生成回路2 Rと、G（緑）に対応して設けられたG－基準電流生成回路2 G、そして、B（青）に対応して設けられたB－基準電流生成回路2 Bとを有している。

各基準電流生成回路2 R，2 G，2 Bは、それぞれ基準電流発生回路1から基準電流I

refを入力段として設けられたカレントミラー回路で受けてそれぞれの表示色に対応した基準電流  $I_r$ ,  $I_g$ ,  $I_b$  を生成する。ここで生成された基準電流  $I_r$ ,  $I_g$ ,  $I_b$  でカレントミラー回路（基準電流分配回路）3の入力側トランジスタをそれぞれに駆動し、このカレントミラー回路3により出力端子XR1～XRn等の各出力端子対応に、生成した基準電流  $I_r$ ,  $I_g$ ,  $I_b$  をそれぞれに分配する。

#### 【0008】

各基準電流設定回路2R, 2G, 2Bには、それぞれ4ビット程度のD/A変換回路（D/A）2aが設けられていて、ホワイトバランス調整のためにR, G, Bそれぞれの表示色に対応する基準電流  $I_r$ ,  $I_g$ ,  $I_b$  の電流値が調整される。その調整は、それぞれレジスタ2bに設定されるデータをD/A2aでD/A変換することにより行われる。

なお、Gー基準電流生成回路2G、Bー基準電流生成回路2Bにそれぞれ接続されるカレントミラー回路3は、Rー基準電流生成回路2Rが接続されているカレントミラー回路3と同様な構成であるので、特に図示してはいない。

以下では、Rー基準電流生成回路2Rとカレントミラー回路3を中心とするRについて電流駆動系について説明する。Gー基準電流生成回路2GとBー基準電流生成回路2Bとのそれぞれのカレントミラー回路3、そしてこれらの電流駆動系については割愛する。

#### 【0009】

Rー基準電流生成回路2Rは、基準電流発生回路1からの基準電流  $I_{ref}$  で駆動されてRについての基準電流  $I_r$  を生成する。この基準電流  $I_r$  は、Rについてのカレントミラー回路3の入力側のトランジスタTraに供給される。これにより出力側トランジスタTrbからTrnのそれぞれが基準電流  $I_r$  を発生して、Rの各出力端子XR1～XRn対応に基準電流  $I_r$  が分配される。

カレントミラー回路3は、入力側のPチャネルMOSFETトランジスタTraと、これとカレントミラー接続される出力側のPチャネルMOSFETトランジスタTrb～Trnとを有していて、トランジスタTrb～Trnのソースは、電源ライン+VDD（＝＋3V）に接続されている。

トランジスタTrb～Trnのドレインは、D/A4R, 4R…に接続され、それぞれのドレインからの出力電流  $I_r$  は、D/A4Rの基準駆動電流とされる。

各D/A4Rは、カレントミラー回路で構成され、その入力側トランジスタに出力電流  $I_r$  を受ける。そして、MPU11からレジスタ6、ライン8bを介して表示データDATをカレントミラーの出力側トランジスタに受けて基準駆動電流  $I_r$  を表示データ値分電流増幅してそのときどきのOEL素子の表示輝度に応じた駆動電流を出力側に生成し、この駆動電流に応じてそれぞれに出力段電流源5Rを駆動する。

#### 【0010】

各出力段電流源5Rは、出力段カレントミラー回路50と、補正リセットパルス発生回路51、そしてスイッチ回路52とからなる。

カレントミラー回路50は、Pチャネルの入力側トランジスタQP1とPチャネルの出力側トランジスタQP2とにより構成され、トランジスタQP1, QP2のソース側は、共通に電源ライン+Vcc（電圧+Vcc>電圧+VDD）に接続されている。トランジスタQP1のドレインは、ゲートにダイオード接続され、さらにD/A4Rの出力端子に接続されてD/A4Rにより駆動される。トランジスタQP2のドレインは、各出力端子XR1～XRnのうち自己に対応する1つに接続されている。

これにより、各出力段電流源5Rは、Rについてのカラム側の出力端子XR1～XRnを介して駆動電流  $i$  を有機ELパネルの各OEL素子9の陽極に出力する。

スイッチ回路52は、Rについての出力端子XR1～XRnに対応に設けられたリセットスイッチであって、PチャネルMOSトランジスタQP3で構成されている。トランジスタQP3のソースは、各出力端子XR1～XRnのうち自己に対応する1つに接続されている。トランジスタのQP3のドレインは、ツェナーダイオードDZRを介してグランドGNDに接続されている。トランジスタQP3のゲートは、補正リセットパルス発生回路50からゲート駆動信号を受け、それによりトランジスタQP3はONとなって、自己が接続されてい

る出力端子を定電圧 $V_{ZR}$ に設定して、出力端子に接続されているOEL素子9の端子電圧をリセットする。

#### 【0011】

γ補正リセットパルス発生回路51は、データ変換回路(ROM)7から補正データTDiを受け、コントロール回路12からライン8aを介してタイミングコントロールパルスTPを受ける。さらに、コントロール回路12からクロックCLKと表示開始パルスDSTPとを受ける。そして、スイッチ回路52(トランジスタQP3)に補正データTDiの値に応じた所定のタイミングでゲート駆動信号を発生して、これをONにする。これにより表示データDATの値に応じたリセット期間RTが各出力端子対応に設定される。その結果、リセット期間RTに応じて発光期間Dの長さがγ補正值に対応して補正される。このことでOEL素子9の発光輝度がγ補正される。

リセット期間RTにスイッチ回路52がONになると、ツェナーダイオードDZRの持つ定電圧 $V_{ZR}$ にOEL素子9の陽極側が設定されるので、OEL素子9の発光は停止し、その陽極側が所定の電圧にプリチャージされる。このとき、発光しているOEL素子9の陰極側は、垂直方向(ローライン)の走査によりグランドGNDに接続されている。

なお、図1に示すように、各出力端子XR1~XRnは、有機ELパネルの各カラムピンに対応していて、これらが接続された状態では1つになっている。そこで、ここでは、出力端子とカラムピンとは特に区別していない。

#### 【0012】

データ変換回路(ROM)7は、ROMとマルチプレクサとで構成され、表示データをデータ変換することによりOEL素子9の発光期間をγ補正する補正データTDiを生成する。データ変換回路7は、ライン8cを介して各出力端子に対応する表示データDATを順次受けて、コントロール回路12からの制御信号Sに従ってマルチプレクサによりγ補正リセットパルス発生回路51を順次選択して変換した補正データTDiを各出力端子対応に各γ補正リセットパルス発生回路51に分配していく。

制御信号Sは、ピクセルカウンタのカウントタイミングで発生するものであって、ピクセルカウンタは、コントロール回路12に内蔵され、図6(b)に示すカウントスタートパルスCSTPを受けてカウントを開始する。

データ変換回路7のデータ変換は、あるタイミングで入力された表示データ値Diがデータ変換回路7のアドレス値とされて、表示データ値Diに応じてアドレスがアクセスされて、そのアドレスDiに記憶されている補正データTDiが出力されることによる。

出力された補正データTDiは、リセット期間RTの開始タイミングを決定すると同時に表示期間Dの終了タイミングを決定する。

#### 【0013】

図5は、γ補正のためにデータ変換されるデータ値についての説明図である。

横軸は、表示データ値であり、縦軸は、出力端子から発生する平均駆動電流値[μA]である。

点線Aは、表示期間D(=発光期間)を所定の一定値DTにした場合の出力段電流源の平均出力電流値であり、γ=1.0のものである。この場合、縦軸の平均出力電流値とOEL素子9の発光期間Dにおけるトータル輝度は対応しているものとする。

これに対して実線で示す線Bは、γ=2.0に対応する平均出力電流値である。そこで、点線Aと実線Bの駆動電流値の差ΔIに対応した平均出力電流のOFF期間を表示期間DTに設ければ、γ=2.0に補正することができる。

#### 【0014】

すなわち、γ補正をしないときの表示期間Dの期間をDTとし、γ補正期間をTγとし、γ補正された表示期間T(=発光期間)とする。そして、次の式において、aは、グラフAにおけるある表示データ値Diに対応する電流値、bは、グラフBにおける前記表示データ値Diのときの電流値、tdはクロックCLKの周期、Dγiは、Tγをクロックカウント数で表した期間、TDγは、タイミングコントロールパルスTP(図6(j)参照)の立上がりからγ補正をしないときの表示期間DTが終了するまでのクロックのカウント



値であり、例えば、図 6 ( e ) のリセット開始期間に相当する。

$$T = DT \times b / a \quad \cdots (1)$$

$$T_{\gamma} = DT - DT \times b / a = DT (1 - b / a) \quad \cdots (2)$$

$$D_{\gamma i} = T_{\gamma} / td \quad (i = 0 \sim 63) \quad \cdots (3)$$

$$TD_i = TDr - D_{\gamma i} \quad \cdots (4)$$

となる。

なお、式(4)は、 $\gamma$ 補正をしないときの表示期間DTから出力段電流源5Rの出力電流をOFFする期間を表示期間DTのリセット開始期間、例えば、図 6 ( e ) のリセット開始期間を基準としてカウント値として算出する式である。

これにより、ROMの表示データDiのアドレスに補正データTDiが記憶されることで、各表示データDiに対応する補正データTDiを得て、 $\gamma = 2.0$ のときの $\gamma$ 補正が行われる。ただし、 $i = 0 \sim 63$ は表示データが6ビットの場合である。

データ変換回路7のROMには、多数の $\gamma$ 補正に応じてデータを各領域に記憶しておき、 $\gamma$ 補正値を各領域の先頭アドレスで選択できるようにする。これにより先頭アドレスの選択で種々の $\gamma$ 補正を行うことができる。しかも、このデータ変換回路7のROMは、各出力端子XR1～XRnに対して1個設けられればよい。

#### 【0015】

$\gamma$ 補正リセットパルス発生回路51は、図2に示すように、プリセットカウンタ53とフリップフロップ54、そしてインバータ55とで構成される。プリセットカウンタ53は、制御信号Sのタイミングに従ってデータ変換回路7から補正データTDiがロードされる。

そして、コントロール回路12から送出されるクロックCLKを受けてタイミングコントロールパルスTP(図6(j)参照)の立上がりタイミングで補正データTDiをクロックCLKに応じてカウントダウンすることを開始してそれが“0”になったときに出力を発生する。

その出力の立上がり出力がトリガ信号としてフリップフロップ54に入力される。フリップフロップ54のデータ入力端子Dは、プルアップされている。そこで、プリセットカウンタ53の立上がり出力を受けると、データ“1”がフリップフロップ54にセットされ、そのQ出力がリセットパルスRSRとしてトランジスタQP3のゲートにインバータ55を介して送出される。なお、この場合、インバータ55を介することなく、フリップフロップ54のQバー出力を利用してもよい。

フリップフロップ54は、リセット端子Rにコントロール回路12のタイミング信号発生回路12aが発生する表示開始パルスDSTPを受けてリセットされ、リセットパルスRSRが停止する。

#### 【0016】

その結果、 $\gamma$ 補正リセットパルス発生回路51は、 $\gamma$ 補正がないときには、そのプリセットカウンタ53にプリセットされた補正データTDi(=TDr)に応じて立上がる図3(e)に示すリセットパルスRSRを発生する。D $\gamma$ i=1のときには、補正データTDi(=TDr-1)となり、1クロック分手前にずれた図3(h)に示すリセットパルスRSRを発生する。さらに、D $\gamma$ i=2のときには、補正データTDi(=TDr-2)となり、2クロック分手前となる図3(i)に示すリセットパルスRSRを発生する。

これらのリセットパルスは、前記した式(3)、(4)に示されるように、表示データDATの値に対応して $\gamma$ 補正されたタイミングで立上がり、表示開始パルスDSTPを受けて立下がる。そして、あらかじめ決定されている表示期間D+リセット期間RTに対応する周期(水平走査周波数)で発生する。

#### 【0017】

図3は、他の $\gamma$ 補正リセットパルス発生回路の説明図であり、図4は、そのリセットパルス発生タイミングの説明図である。

$\gamma$ 補正リセットパルス発生回路51aは、シフトレジスタ56と、セクタ57、2入力アンドゲート58、3ビットのレジスタ59、そしてインバータ60、61とからなる

。シフトレジスタ56は、タイミング信号発生回路12aからタイミングコントロールパルスTPと、インバータ60を介してクロックCLKとを受けて、クロックCLKの立下がりタイミングで、各段に図4(a)に示すような出力波形を発生する。

なお、図示して説明する都合上、図4(a)は、nを4として4段のシフトレジスタ56とし、その各段のフリップフロップをQ1~Q4とした場合の説明である。実際には、 $\gamma$ 補正する最大期間分として、 $n=32$ 程度は必要になる。Q1~Q4の各段の出力信号は、シフトレジスタ56の各段に入力されるクロックCLKの立下がりに応じて発生し、Q2~Q4は、初段Q1の立上がりから1乃至数クロックCLK分遅延した出力となっている。なお、初段Q1の立上がりタイミングは、タイミングコントロールパルスTPの立上がりからこれに同期するクロックCLKが立下がるまでの期間分遅延している。

セクタ57は、シフトレジスタ56の初段の出力信号から最終段の出力信号のそれぞれと初段への入力信号（タイミング信号発生回路12aからタイミングコントロールパルスTP）とを受けて、入力信号の1つを選択する。このセクタ57の入力信号の選択は、レジスタ59に設定されたTDiに応じて行われる。ここで、選択された入力信号は、2入力のアンドゲート58の一方に入力される。アンドゲータ58の他方の入力にはシフトレジスタ56の入力信号（タイミングコントロールパルスTP）が入力されている。

#### 【0018】

その結果、アンドゲータ58の出力は、レジスタ56に設定されたデータ値に応じて初段からmクロックCLK（mは1以上の整数）遅延したリセットパルスRSRが発生する。このリセットパルスRSRは、タイミングコントロールパルスTPの立上がり（前縁）あるいは選択されたQ1~Q4の出力のいずれかの立上がり（前縁）を立上がり（前縁）とし、立下がり（後縁）をタイミングコントロールパルスTPの立下がり（後縁）とした、図3(e)、(h)、(i)に示すようなリセットパルスRSRになる。このリセットパルスRSRは、インバータ61を介してトランジスタQP3のゲートに加えられる。なお、アンドゲータ58とインバータ61とに換えてナンドゲートを用いてもよい。

説明を簡単にするために、シフトレジスタ56を4段構成とし、TDiを3ビットとすると、レジスタ56にセットされる3ビットの補正データTDiは、0~4までの値とされ、その数値が出力段数に対応している。したがって、リセットパルス発生回路3Rのレジスタ56に設定された3ビットの補正データTDiを“011”で「3」とすると、図3(b)に示すように、Q3の出力が選択されて、アンドゲータ54の出力は、図3(b)に示すように、初段Q1の出力から2クロック分遅延する。

その結果として、図3(e)に示すようなリセットパルスRSがリセットパルス発生回路3Rから発生する。このときには、TDi=TDr=“011”であり、これが補正がされない表示期間DTとなる。

図3(h)のリセットパルスRSの場合は、リセットパルス発生回路3Gのレジスタ56に設定された3ビットの補正データTDiは、TDi=“010”である。図3(i)のリセットパルスRSの場合は、リセットパルス発生回路3Bのレジスタ56に設定された3ビットの補正データTDiは、TDi=“001”である。

アンドゲータ58の出力は、インバータ61を介してスイッチ回路52を構成するトランジスタQP3のゲートに送出されて、アンドゲータ58の出力が“H”の期間の間、インバータ58を介して“L”がトランジスタQP3のゲートに出力されて、このトランジスタがONとなる。

#### 【0019】

ところで、以上の説明では、RについてのリセットパルスRSRを $\gamma$ 補正に応じて発生させる説明しているが、G、Bについてのリセットパルスについて同様にして $\gamma$ 補正に応じて発生させるものである。

また、実施例では、リセットパルスRSRの開始タイミングをタイミングコントロールパルスTPの立上がり（前縁）を基準としてクロックCLKをカウントして設定しているが、タイミングコントロールパルスTPの周期が一定しているので、これの立下がり（後縁）を基準としてクロックCLKをカウントして設定してもよいことはもちろんである。

## 【図面の簡単な説明】

### 【 0 0 2 0 】

【図 1】 図 1 は、この発明の有機 E L 駆動回路を適用した一実施例の有機 E L パネルのカラムドライバを中心とするブロック図である。

【図 2】 図 2 は、出力段電流源に設けられた $\gamma$ 補正リセットパルス発生回路の説明図である。

【図 3】 図 3 は、他の $\gamma$ 補正リセットパルス発生回路の説明図である。

【図 4】 図 4 は、図 3 における $\gamma$ 補正リセットパルス発生回路のリセットパルス発生タイミングの説明図である。

【図 5】 図 5 は、データ変換回路（R O M）に設定される $\gamma$ 補正データについての説明図である。

【図 6】 図 6 は、カラムピンを電流駆動する電流波形とこれを発生するタイミング信号の説明図である。

## 【符号の説明】

### 【 0 0 2 1 】

1 G, 1 R, 1 B … R, G, B の各基準電流発生回路、

2 G, 2 R, 2 B … R, G, B の各基準電流分配回路、

3, 3 G, 3 R, 3 B … D/A 変換回路（D/A）、

4, 4 G, 4 R, 4 B … ピーク電流生成回路、

5, 5 R, 5 G, 5 B … 出力段電流源、

6 … プログラマブルパルス幅パルス発生回路、

6 … レジスタ、

7 … データ変換回路（R O M）、

9, 9 G1, 9 R1, 9 B1, 9 G2, 9 R2 … ピン、

1 0 … カラム I C ドライバ、

1 2 … M P U、1 2 … コントロール回路、

5 0 … 出力段カレントミラー回路、

5 1, 5 1 a …  $\gamma$  補正リセットパルス発生回路、

5 2 … スイッチ回路、5 3 … プリセットカウンタ、

5 4 … フリップフロップ、

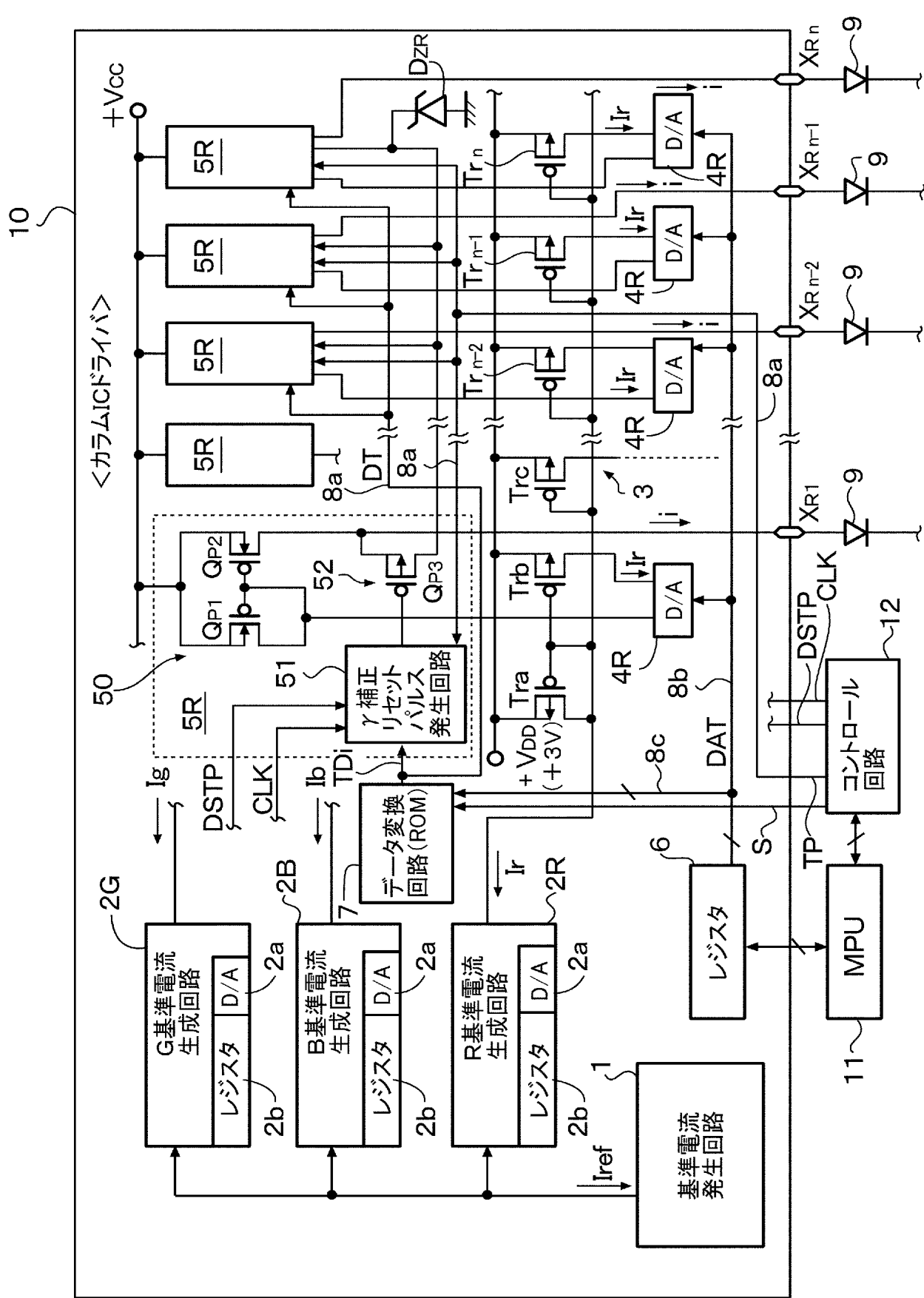
5 5、6 0, 6 1 … インバータ、

5 6 … シフトレジスタ、5 7 … セレクタ、

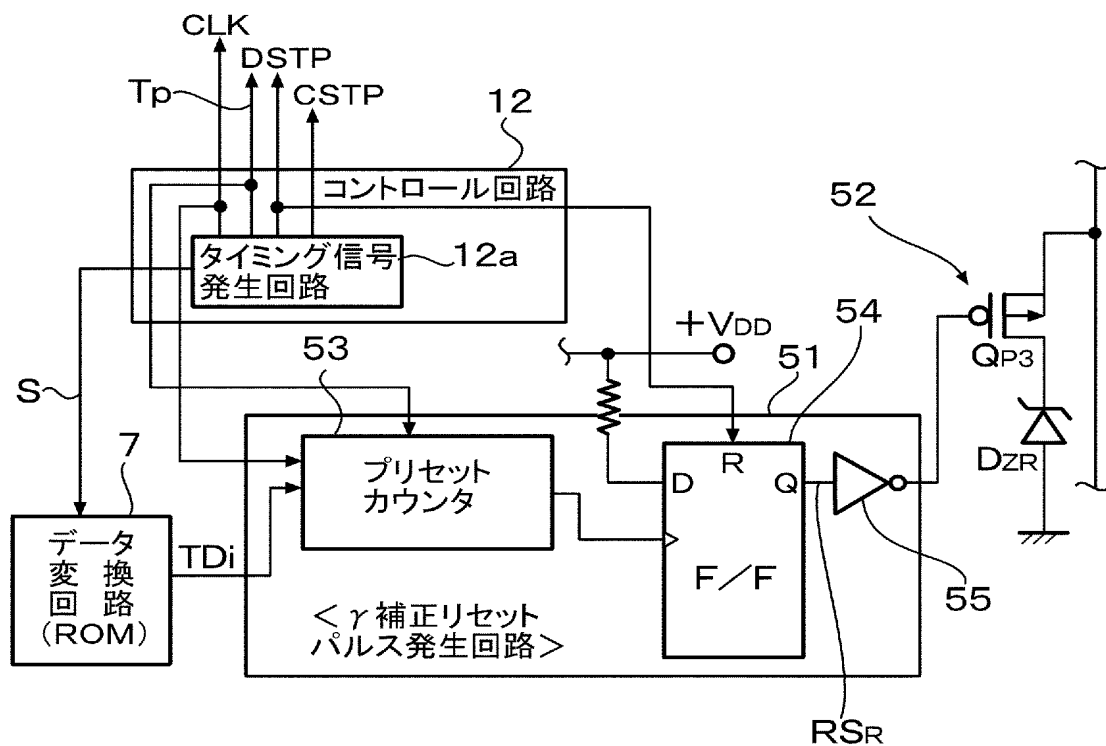
5 8 … 2 入力アンドゲート、

5 9 … 3 ビットのレジスタ、

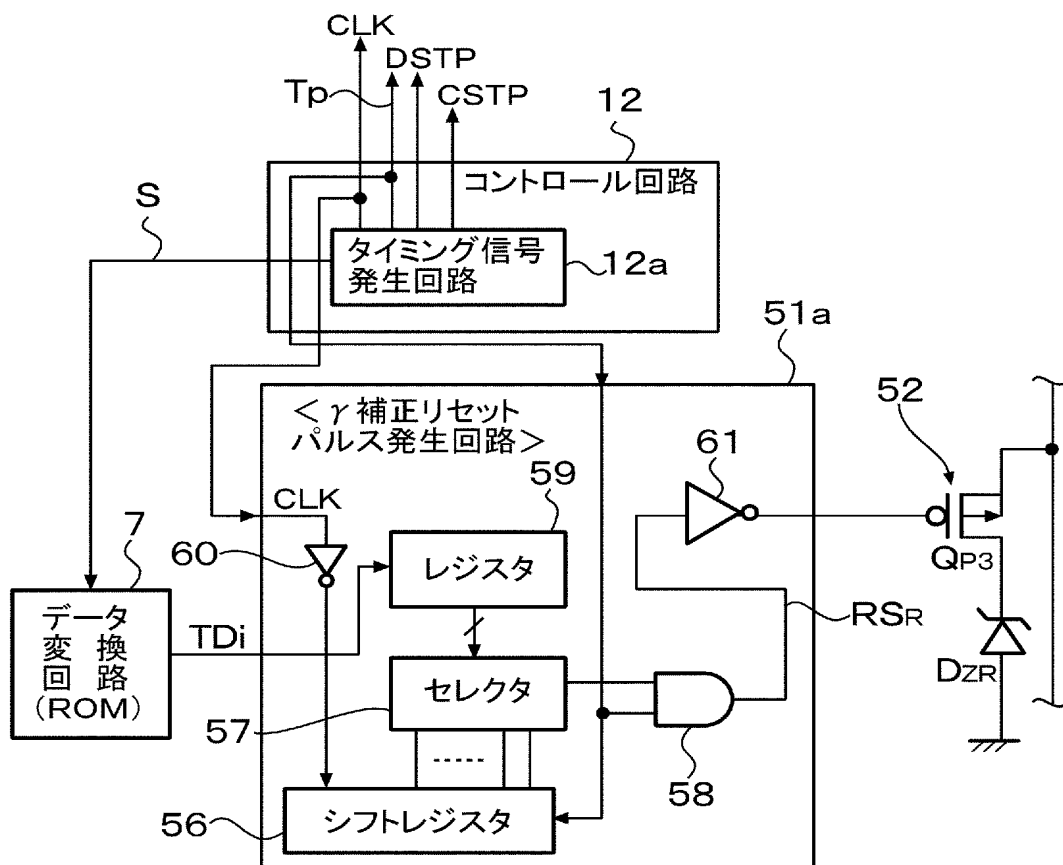
T r a ~ T r n, Q P 1 ~ Q P 3 … トランジスタ。



【図 2】



【図 3】



(a)

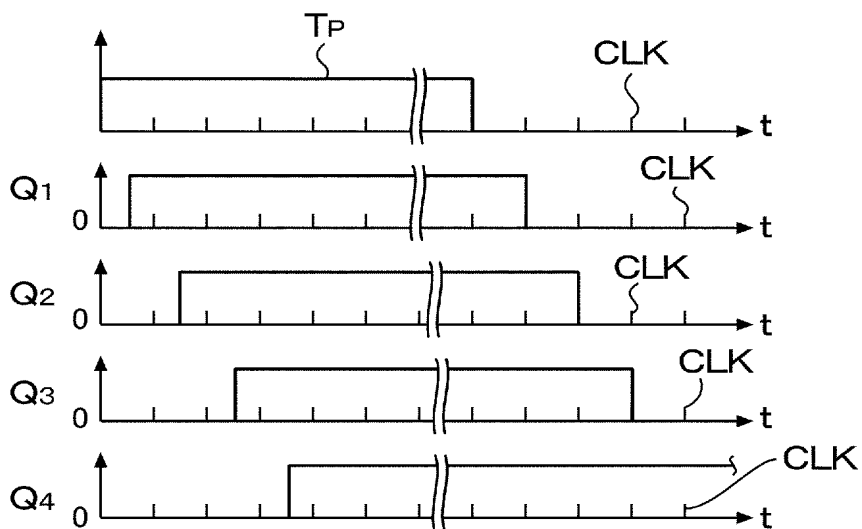
○ タイミングコントロール  
パルス  $T_P$

○ シフトレジスタ 2 の  
初段出力

○ シフトレジスタ 2 の  
2 段目出力

○ シフトレジスタ 2 の  
3 段目出力

○ シフトレジスタ 2 の  
4 段目出力

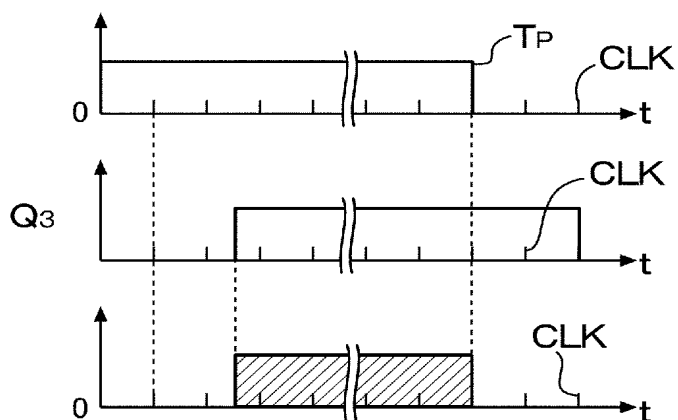


(b)

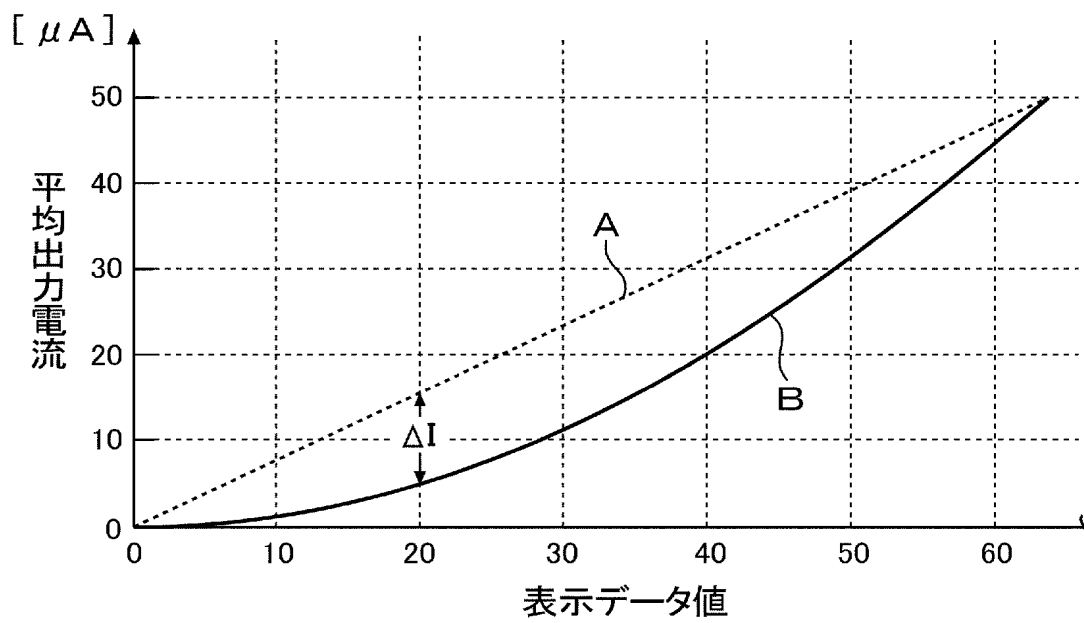
○ タイミングコントロール  
パルス  $T_P$

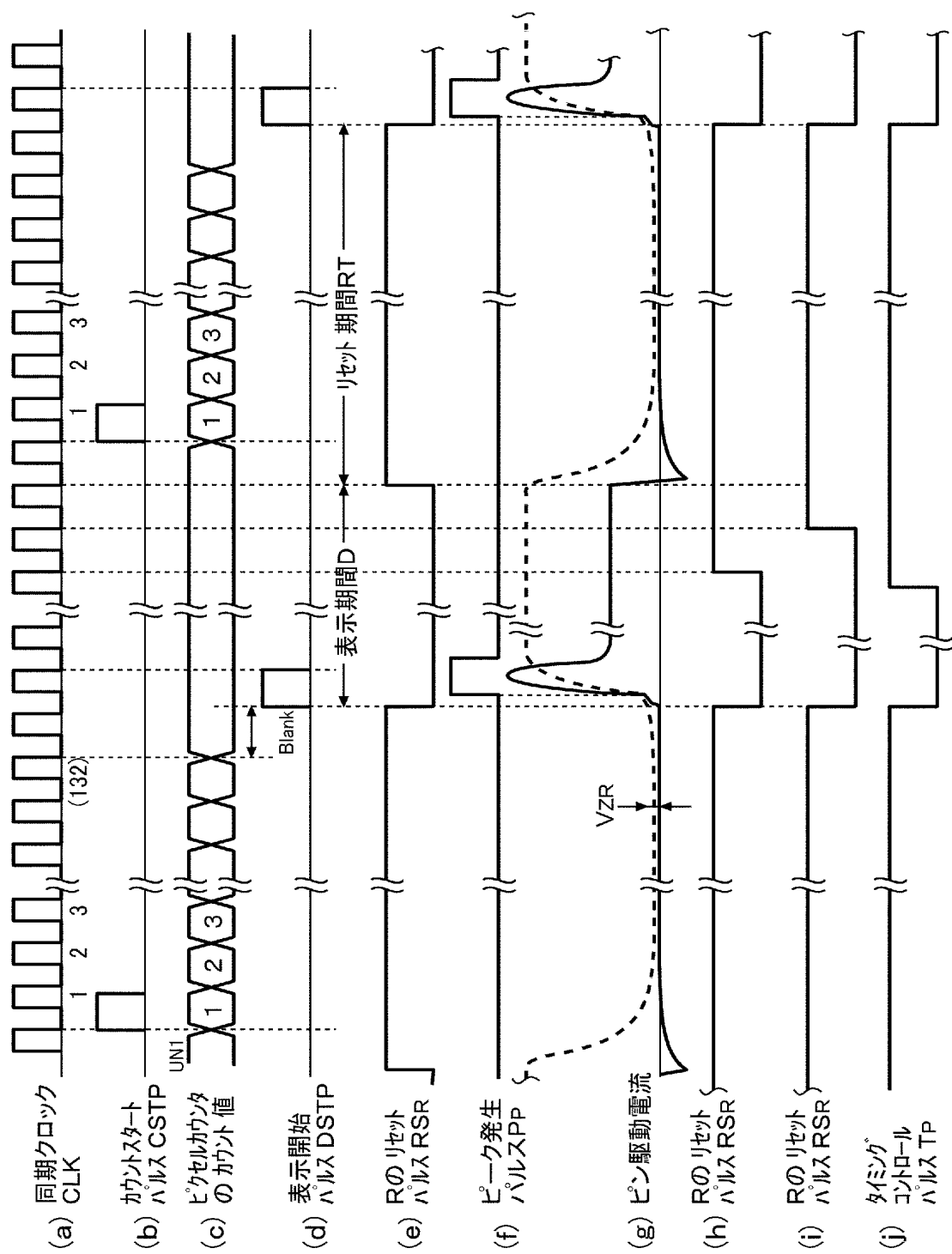
○ シフトレジスタ 2 の  
3 段目の出力

○ アンドゲート  
32 の出力



【図 5】







【書類名】 要約書

【要約】

【課題】

端子ピン対応に設けられる $\gamma$ 補正回路の占有面積を抑えることが可能な有機EL駆動回路および有機EL表示装置を提供することにある。

【解決手段】

この発明は、リセットをするためにリセットパルスを受けて端子ピンを所定のバイアスラインに接続するスイッチ回路と、OEL素子の輝度を $\gamma$ 補正するために表示データを受けて表示データに応じてOEL素子の発光期間を補正するための補正データを生成する補正データ生成回路と、タイミングコントロール信号と補正データとを受けて $\gamma$ 補正に応じたリセットパルスを発生するリセットパルス発生回路とを備えるものである。

【選択図】 図1

## 出願人履歴

0 0 0 1 1 6 0 2 4

19900822

新規登録

京都府京都市右京区西院溝崎町 2 1 番地  
ローム株式会社